

PAT-NO: JP407302860A

DOCUMENT-IDENTIFIER: JP 07302860 A

TITLE: MOUNTING STRUCTURE  
AND MOUNTING METHOD FOR  
SEMICONDUCTOR  
PACKAGE

PUBN-DATE: November 14, 1995

INVENTOR-INFORMATION:

NAME

MURA, MITSURU

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP06114361

APPL-DATE: April 28, 1994

INT-CL (IPC): H01L023/12, H05K001/18

## ABSTRACT:

**PURPOSE:** To joint a solder bump and an electrode pad easily and besides securely.

**CONSTITUTION:** At least two pieces among at least three pieces of pins 14 attached to the base 11 of a semiconductor package 1 are provided with position regulators for aligning electrode pads 21 and solder bumps 13, and at least three pieces are provided with height regulators for regulating the interval between the semiconductor package 1 and a board 2, and the board 2 is provided with a hole for inserting the position regulator. To perform mounting, the interval between the semiconductor package 1 and the board 2 is kept at a specified quantity with the regulator by fusing the solder bump 13 after

inserting the position regulator into the hole 22,  
and aligning the solder bump  
13 and the electrode pad 21.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-302860

(43)公開日 平成7年(1995)11月14日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
H 0 5 K 1/18		H 8718-4E	H 0 1 L 23/ 12	L

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21)出願番号 特願平6-114361

(22)出願日 平成6年(1994)4月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 村 満

東京都品川区北品川6丁目7番35号 ソニー株式会社内

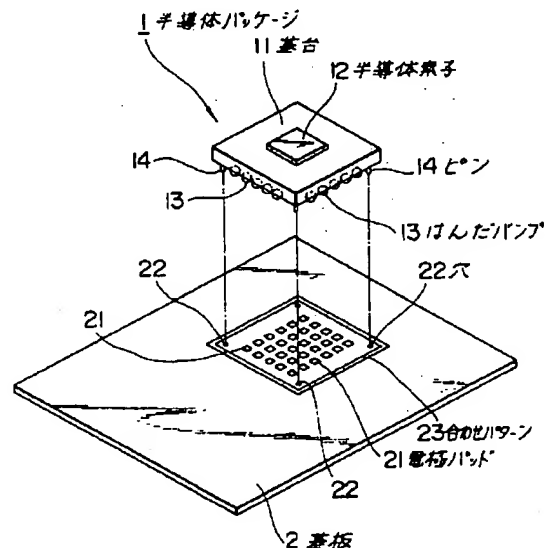
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体パッケージの実装構造および実装方法

(57)【要約】

【目的】 はんだバンプと電極パッドとを容易にしかも確実に接合できる半導体パッケージの実装構造および実装方法を提供すること。

【構成】 本発明は半導体パッケージ1の基台11に取り付けられた少なくとも3本のピン14のうち少なくとも2本に電極パッド21とはんだバンプ13との位置合わせを行う位置規制部を設け、少なくとも3本に半導体パッケージ1と基板2との間隔を規制する高さ規制部を設け、基板2に位置規制部を挿入する穴22を設けている。実装を行うには、位置規制部を穴22に挿入してはんだバンプ13と電極パッド21との位置合わせをした後、はんだバンプ13を溶融して高さ規制部で半導体パッケージ1と基板2との間隔を所定量に保つようにする。



本発明を説明する概略斜視図

## 【特許請求の範囲】

【請求項1】 基台の一方側に半導体素子が搭載され、他方側に該半導体素子との電気的導通を得たはんだバンプが設けられた半導体パッケージにおいて、該基台の他方側に取り付けられた少なくとも3本のピンを用いて所定の基板上の電極パッドと該はんだバンプとを位置合わせして接続する半導体パッケージの実装構造であって、前記ピンのうちの少なくとも2本には、前記半導体パッケージを前記基板上に配置した状態で前記電極パッドと前記はんだバンプとの位置合わせを行うための位置規制部が設けられ、

前記ピンのうちの少なくとも3本には、前記電極パッドとの位置合わせが成された前記はんだバンプを溶融する際に前記半導体パッケージと前記基板との間隔を規制するための高さ規制部が設けられ、

前記基板には、前記位置規制部を挿入するための位置合わせ用穴が設けられていることを特徴とする半導体パッケージの実装構造。

【請求項2】 前記ピンがその突出方向に向けて細くなるテーパ状に形成されているとともに、前記位置合わせ用穴の径が該テーパ状のピンの途中位置における径と等しくなっていることを特徴とする請求項1記載の半導体パッケージの実装構造。

【請求項3】 前記ピンは導電材料から成り、前記半導体素子と前記基板との間の電気的な導通を得るために用いられていることを特徴とする請求項1または請求項2に記載の半導体パッケージの実装構造。

【請求項4】 請求項1から請求項3のうちいずれか一つに記載の半導体パッケージの実装構造における実装方法であって、

まず、前記半導体パッケージを前記基板上に配置した状態で前記ピンのうち少なくとも2本に設けられた前記位置規制部を前記基板の位置合わせ用穴に挿入して前記電極パッドと前記はんだバンプとの位置合わせを行い、次いで、前記はんだバンプを溶融することで前記電極パッドと該はんだバンプとを接合するとともに、該はんだバンプの溶融によって前記半導体パッケージと前記基板との間隔が縮まった際に前記ピンのうち少なくとも3本に設けられた前記高さ規制部を支えにして該間隔を所定量に保つことを特徴とする半導体パッケージの実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電極パッドが設けられた基板上にはんだバンプを備えた半導体パッケージを実装する実装構造および実装方法に関する。

## 【0002】

【従来の技術】近年、半導体装置の面実装において、基台の片面側に配列されたボール状のはんだバンプによってプリント配線板等の基板との電気的および機械的な接

合を行ういわゆるボールグリッドアレイから成る半導体パッケージが盛んに用いられている。

【0003】このような半導体パッケージを基板上に実装するには、図8の概略斜視図に示すように、半導体パッケージ1と基板2との相互の位置関係を位置観察用スコープ4を用いて同時に観察し、所定の位置補正を行った後に接合を行っている。つまり、位置観察用スコープ4を用いて半導体パッケージ1のはんだバンプ13側の映像と、基板2の電極パッド21側の映像とを図示しないCCDカメラ等で取り込み、相対応するはんだバンプ13と電極パッド21との相対位置が合うように半導体パッケージ1と基板2との位置合わせを行う。そして、この状態で半導体パッケージ1と基板2とを合わせるようにしてはんだバンプ13と電極パッド21とを接触させ、はんだバンプ13を溶融することで電極パッド21との接合を行う。

## 【0004】

【発明が解決しようとする課題】このような半導体パッケージの実装においては、半導体パッケージのはんだバンプ側と基板の電極パッド側との映像を同時観察するための光学系が十分に調整されており、しかも各々の光軸が同軸上にあることが高い位置合わせ精度を実現する上で重要な要素となる。しかも、取り込み映像がぼけないように半導体パッケージと基板とが平行に配置されることが要求される。これらの条件を満たすためには、X、Y、 $\theta$ 方向の高精度な位置合わせが可能な機構を用意する必要があり、半導体パッケージの実装に用いる機構の複雑化およびコスト高を招く原因となっている。

【0005】また、はんだバンプと電極パッドとの位置合わせを行った後、その半導体パッケージをリフロー炉等へ搬送したり、リフロー炉内のベルトコンベア等によって移送する場合、ベルトコンベア等からの振動などで半導体パッケージと基板とが位置ずれを起こしてしまうという不都合が生じる。さらに、はんだバンプを溶融して電極パッドと接合する場合、半導体パッケージの自重によって溶融したはんだバンプがつぶれてしまい、隣合うはんだバンプ同士が接触するいわゆるブリッジ現象を起こし電気的な接続不良を招く。特に、半導体パッケージに放熱機構を取り付けてある場合には自重が増し、はんだバンプのつぶれが顕著となる。このようないわゆるブリッジ現象は、はんだバンプのピッチ縮小化を図る上で大きな問題となる。

## 【0006】

【課題を解決するための手段】本発明はこのような課題を解決するために成された半導体パッケージの実装構造および実装方法である。すなわち、本発明の半導体パッケージの実装構造は、基台の一方側に半導体素子が搭載され、他方側に半導体素子との電気的導通を得たはんだバンプが設けられた半導体パッケージにおいて、基台の他方側に取り付けられた少なくとも3本のピンを用いて

所定の基板上の電極パッドとはんだバンパとを位置合わせして接続するものであり、ピンのうちの少なくとも2本に、半導体パッケージを基板上に配置した状態で電極パッドとはんだバンパとの位置合わせを行うための位置規制部を設け、ピンのうちの少なくとも3本に、電極パッドとの位置合わせが成されたはんだバンパを溶融する際に半導体パッケージと基板との間隔を規制するための高さ規制部を設け、さらに基板に、位置規制部を挿入するための位置合わせ用穴を設けている。

【0007】また、ピンをその突出方向に向けて細くなるようなテーパ状に形成するとともに、基板の位置合わせ用穴の径をテーパ状のピンの途中位置における径と等しくした半導体パッケージの実装構造でもある。さらに、ピンを導電材料から構成し、半導体素子と基板との間の電気的な導通を得るために用いた半導体パッケージの実装構造でもある。

【0008】また、本発明の半導体パッケージの実装方法は、上記の半導体パッケージの実装構造における実装方法であり、まず、半導体パッケージを基板上に配置した状態でピンのうち少なくとも2本に設けられた位置規制部を基板の位置合わせ用穴に挿入して電極パッドとはんだバンパとの位置合わせを行い、次いで、はんだバンパを溶融することで電極パッドとはんだバンパとを接合するとともに、そのはんだバンパの溶融によって半導体パッケージと基板との間隔が縮まった際にピンのうち少なくとも3本に設けられた高さ規制部を支えにして間隔を所定量に保つ方法である。

【0009】

【作用】本発明は、半導体パッケージの基台のはんだバンパが設けられた側に少なくとも3本のピンが取り付けられたものを用い、このピンによって基板上の電極パッドとはんだバンパとを位置合わせし接続する。すなわち、ピンのうちの少なくとも2本には位置規制部が設けられ、この位置規制部を基板に設けられた位置合わせ用穴に挿入することによって半導体パッケージと基板との面方向の位置決めが成され、電極パッドとはんだバンパとの位置合わせができるようになる。

【0010】さらに、ピンのうちの少なくとも3本には高さ規制部が設けられ、はんだバンパの溶融で半導体パッケージと基板との間隔が狭くなる際、この高さ規制部が支えとなってその間隔が所定量に保たれることになる。また、ピンをその突出方向に向けて細くなるテーパ状に形成し、そのテーパ状のピンの途中位置の径と位置合わせ用穴の径とを等しくしている。

【0011】つまり、ピンの途中位置より先端側が位置合わせ用穴に挿入される位置規制部となり、これを位置合わせ用穴に挿入することで半導体パッケージと基板との面方向に位置決めが成される。さらに、はんだバンパが溶融することで半導体パッケージと基板との間隔が縮まり、ピンがその途中位置まで位置合わせ用穴に入り込

むことになる。このため、ピンの途中位置が高さ規制部となり、この位置で半導体パッケージと基板との間隔が保たれるようになる。また、ピンが導電材料から構成されることで、ピンを介して半導体素子と基板との電気的な導通を得ることができるようになる。

【0012】本発明の半導体パッケージの実装方法では、上記のような実装構造において、まず、ピンのうち少なくとも2本に設けられた位置規制部を基板の位置合わせ用穴に挿入して電極パッドとはんだバンパとの位置合わせを行う。位置規制部を位置合わせ用穴に挿入することで半導体パッケージが基板の面方向に対して位置規制される。次に、はんだバンパを溶融して電極パッドとはんだバンパとを接合するとともに、この溶融によって縮まった半導体パッケージと基板との隙間をピンのうち少なくとも3本に設けられた高さ規制部で支える。これにより、半導体パッケージと基板との隙間が処理量に保たれ、はんだバンパが必要以上につぶれないようになる。

【0013】

【実施例】以下に、本発明の半導体パッケージの実装構造および実装方法の実施例を図に基づいて説明する。図1は本発明の半導体パッケージの実装構造を説明する概略斜視図である。本発明で用いる半導体パッケージ1は、基台11の一方側に半導体素子12が搭載され、他方側に半導体素子12との電気的導通を得たはんだバンパ13が設けられたいわゆるボールグリッドアレイから成るものである。

【0014】この半導体パッケージ1が実装される基板2にははんだバンパ13と対応した電極パッド21が設けられており、半導体パッケージ1を正確な位置に実装した状態で電極パッド21とはんだバンパ13との電気的および機械的な接合が得られるようになっている。この半導体パッケージ1の実装を行うにあたり、基台11のはんだバンパ13側には少なくとも3本のピン14が取り付けられており、このピン14を基板2に設けられた穴22に挿入することではんだバンパ13と電極パッド21との位置合わせができるようになっている。

【0015】図2は、半導体パッケージ1に設けられたピン14を説明する裏面斜視図である。すなわち、ピン14は例えば基台11の四隅に垂設されており、その先端側と付け根側とで太さが異なる形状となっている。ピン14の先端側は位置規制部14aとなっており、これを図1に示す基板2の穴22に挿入することで半導体パッケージ1と基板2との面方向(X、Y、θ方向)の位置規制が成される。このため、位置規制部14aの径は穴22の径よりもわずかに小さく、例えば穴22の径が0.6mmの場合、位置規制部14aの径を0.5mm程度に形成されている。

【0016】また、ピン14の付け根側は高さ規制部14bとなっており、端面部分(平らになっている部分)

が基板2に当接することで半導体パッケージ1と基板2との隙間を一定量に保つようになる。

【0017】図3は、このピン14の取り付け方法を説明する断面図である。ピン14を取り付けるには、先ず図3(a)に示すように、治具3を用いてピン14を吸引保持し、基台11の取り付け穴11a上に配置する。そして、治具3を下降してピン14の挿入端14cを取り付け穴11a内に圧入し、その後、図3(b)に示すように治具3の吸引を解除して治具3をピン14から取り外す。このような作業によってピン14が基台11から容易に抜けられないような取り付けを行う。

【0018】このピン14に設けられた位置規制部14aによって半導体パッケージ1と基板2との面方向の位置規制が成されるとともに、高さ規制部14bによってはんだバンパ13が溶融した際に縮まる半導体パッケージ1と基板2との間隔を一定量に保つ実装ができるようになる。

【0019】次に、図4の断面図に基づいて本発明の半導体パッケージ1の実装方法を順に説明する。先ず、図4(a)に示すように半導体パッケージ1を基板2上に配置して、ピン14の位置と穴22の位置とが合うようにする。この際、基板2には図1に示すような合わせパターン23が設けられており、例えば半導体パッケージ1の外形とこの合わせパターン23とを合わせるようにして配置すればピン14と穴22との位置合わせが容易に行える。

【0020】次に、図4(b)に示すように半導体パッケージ1のピン14の位置規制部14aを基板2の穴22内に挿入して、半導体パッケージ1の位置規制を行う。例えば、穴22の径が0.6mmでピン14の位置規制部14aの径が0.5mmの場合にはクリアランスが0.1mmとなり、位置規制部14aを穴22に容易に挿入することができる。また、この状態では半導体パッケージ1のはんだバンパ13と基板2の電極パッド21との位置が合っており、しかも各はんだバンパ13によって半導体パッケージ1が支えられた状態となっている。

【0021】先に示した穴22の径および位置規制部14aの径の例では、半導体パッケージ1の面方向の一方側の位置ずれ量がクリアランスの半分、すなわち0.05mmとなり、例えば、はんだバンパ13の径が0.15mm、ピッチが0.3mmで、半導体パッケージ1の最大位置ずれがあってもはんだバンパ13が隣の電極パッド21と接触することなく正確に位置決めされる。また、半導体パッケージ1がはんだバンパ13によって支えられていてもピン14の位置規制部14aが穴22内に挿入されているため、この状態で搬送してもその振動によって半導体パッケージ1と基板2との相対位置がずれることはない。

【0022】次に、図4(c)に示すように、リフロー

炉等による加熱によってはんだバンパ13を溶融する。この溶融によってはんだバンパ13と電極パッド21との接合が成されるとともに、はんだバンパ13のつぶれによって半導体パッケージ1と基板2との間隔が縮まることになる。ところが、この間隔が所定量縮まった所でピン14の高さ規制部14bが基板2と当接し、半導体パッケージ1を基板2と略平行に支える状態となる。

【0023】例えば、穴22の径を0.6mmとした場合、高さ規制部14bの径を0.6mmより大きい1.0mm程度としておく。これによって高さ規制部14bは穴22内に入ることができず、はんだバンパ13が溶融によってつぶれても高さ規制部14bが基板2に当接する位置で半導体パッケージ1の基板2側への沈みを止めて半導体パッケージ1と基板2との間隔を一定に保つことができるようになる。また、この間隔が一定に保たれることではんだバンパ13が必要以上につぶれることが無くなり、隣合うはんだバンパ13が接触するいわゆるブリッジ現象の発生を抑制できる。

【0024】このような半導体パッケージ1の実装方法では、基台11に取り付けられたピン14によって半導体パッケージ1の基板2の面方向に対する位置規制と、はんだバンパ13が溶融した際の半導体パッケージ1と基板2との間隔設定とを行うことができる。

【0025】このため、ピン14は基台11に少なくとも3本取り付けられており、そのうちの少なくとも2本に位置規制部14aが設けられ、少なくとも3本に高さ規制部14bが設けられていればよい。図5は他の例を説明する概略斜視図であり、図5(a)は基台11に3本のピン14が取り付けられた例を示している。すなわち、この半導体パッケージ1では、基台11の周縁部分に3本のピン14が取り付けられ、各ピン14にそれぞれ位置規制部14aと高さ規制部14bとが設けられている。

【0026】この半導体パッケージ1を図1に示す基板2に実装するには、各ピン14と対応して基板2側に設けられた穴22にピン14の位置規制部14aを挿入して半導体パッケージ1の基板2の面方向に対する位置規制を行う。そして、はんだバンパ13が溶融した際には、各高さ規制部14bによって半導体パッケージ1を3点支持する。これによって、半導体パッケージ1と基板2との間隔が一定量に保たれ、はんだバンパ13のつぶれ量を規制できるようになる。

【0027】また、図5(b)に示す半導体パッケージ1は、位置規制部14aおよび高さ規制部bを備えたピン14が2本、高さ規制部14bのみを備えたピン14'が2本基台11に取り付けられたものである。この半導体パッケージ1を図1に示す基板2に実装するには、基台11の対角に設けられた2本のピン14の位置規制部14aを基板2の穴22に挿入して半導体パッケージ1の基板2の面方向に対する位置規制を行う。そし

て、はんだバンパ13が溶融する際には、ピン14の高さ規制部14bとピン14'の高さ規制部14bとにより半導体パッケージ1を4点支持する。

【0028】このように、ピン14の本数や配置位置等には種々の態様が考えられる。したがって、半導体パッケージ1の形状や大きさ、はんだバンパ13の数量等の様々な条件に応じてピン14の本数、配置位置等を決定し、半導体パッケージ1の実装時における確実な位置規制および高さ規制を行うようにする。

【0029】図6は他のピン形状を説明する断面図、図7は他のピンによる実装方法を説明する断面図である。すなわち、図6に示すように、このピン14は基台11から突出する方向に向けて細くなるテーパ状に形成されており、このテーパ状のピン14を用いて基板2への実装を行う。

【0030】このようなテーパ状のピン14を備えた半導体パッケージ1を基板2上に実装するには、先ず図7(a)に示すようにピン14の先端部分を基板2の穴22に挿入し、はんだバンパ13と電極パッド21との位置合わせを行う。テーパ状のピン14は、その途中位置の径が穴22の径と等しくなっており、先端部分では穴22よりも径が小さくなっている。このため、ピン14の先端部分では穴22との間のクリアランスが大きく、容易に挿入することができる。

【0031】次に、図7(b)に示すように、はんだバンパ13を溶融して電極パッド21との接合を行う。この際、はんだバンパ13の溶融によるつぶれで半導体パッケージ1と基板2との間隔が縮まりピン14が図7(a)に示す位置よりもさらに穴22の中へ入り込んでいく。ピン14にはテーパが付いているため、ピン14の穴22への入り込みによってそのクリアランスが徐々に小さくなり、半導体パッケージ1と基板2との相対位置が自然に合わせ込まれて位置決めができるようになる。

【0032】また、ピン14の途中位置の径が穴22の径と等しくなっているため、この途中位置でピン14の穴22への入り込みが止まり、ここで半導体パッケージ1と基板2との間隔が設定されることになる。つまり、ピン14のテーパ角度または穴22の径を調整することで半導体パッケージ2と基板2との間隔を自由に設定することができるようになる。このようにして、半導体パッケージ1を基板2上に実装することにより、はんだバンパ13と電極パッド21との位置合わせおよび半導体パッケージ1と基板2との間隔設定を行うことができ、はんだバンパ13がつぶれ過ぎない最適な接合を行うことが可能となる。

【0033】また、本発明の半導体パッケージ1の実装構造において、上記説明したピン14を銅などの導電材料にて構成するようにしてもよい。ピン14を導電材料にて構成することにより、先に説明した位置規制および

高さ規制を行うとともに、半導体素子12(図1参照)と基板2との電気的な導通を得るためにも使用できる。

【0034】この場合には、半導体素子12(図1参照)とピン14との電気的導通を得ておき、また基板2の穴22の内面に導電膜(金等)を被着(メッキ処理等)しておく。これによって、半導体パッケージ1を基板2に実装した際、ピン14が穴22に挿入されることでピン14および穴22内面の導電膜を介して半導体素子12(図1参照)と基板2との電気的な導通を得ることができる。ピン14をこのように導電材料から構成することで、はんだバンパ13以外にもピン14を信号端子として使用でき、特に、半導体素子12(図1参照)の集積度が高く信号端子の本数を多く必要とする場合において有効となる。

【0035】なお、本実施例において示したピン14の位置規制部14aの径、高さ規制部14bの径および基板2の穴22の径は一例であり、本発明はこれに限定されない。

【0036】

【発明の効果】以上説明したように、本発明の半導体パッケージの実装構造および実装方法によれば次のような効果がある。すなわち、本発明では半導体パッケージの基台に取り付けられたピンの位置規制部を基板の穴に挿入することで半導体パッケージの基板の面方向に対する位置規制を行うため、半導体パッケージの実装において複雑な位置合わせ機構を必要とせず、しかも正確な位置合わせを容易に行うことが可能となる。

【0037】また、ピンの位置規制部が基板の穴に挿入された状態で位置決めされるため、搬送する際に振動があっても半導体パッケージと基板との位置ずれが無く、その後のリフロー工程等においてもはんだバンパと電極パッドとを確実に接合することが可能となる。

【0038】さらに、はんだバンパが溶融した際、ピンの高さ規制部が基板と当接して半導体パッケージと基板との間隔を所定量に保つため、はんだバンパが必要以上につぶれることが無く、隣合うはんだバンパ同士がつかないいわゆるブリッジ現象がなくなり、信頼性の高い接合を得ることが可能となる。このようなことから、はんだバンパのピッチが小さい場合であっても半導体パッケージと基板との確実な接合を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体パッケージの実装構造を説明する概略斜視図である。

【図2】ピンを説明する裏面斜視図である。

【図3】ピンの取り付け方法を(a)～(b)の順に説明する断面図である。

【図4】本発明の実装方法を(a)～(c)の順に説明する断面図である。

【図5】他の例を説明する概略斜視図で、(a)はその1、(b)はその2である。



【図6】他のピン形状を説明する断面図である。

【図7】他のピンによる実装方法を(a)～(b)の順に説明する断面図である。

【図8】従来例を説明する概略斜視図である。

【符号の説明】

1 半導体パッケージ

2 基板

11 基台

12 半導体素子

13 はんだバンプ

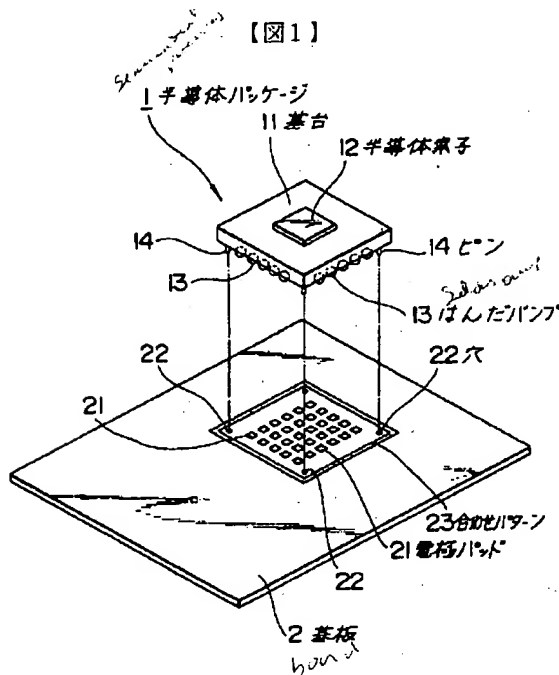
14 ピン

14a 位置規制部

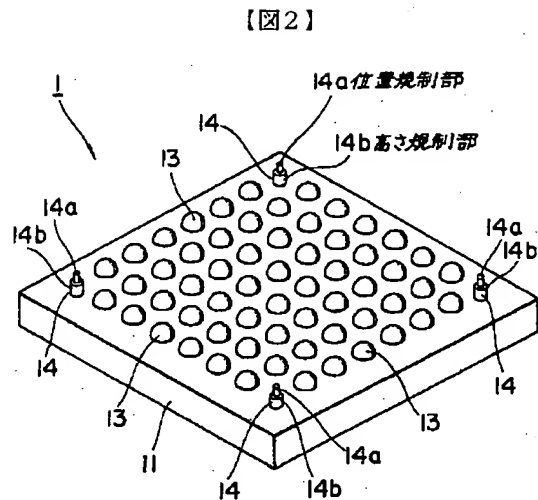
14b 高さ規制部

21 電極パッド

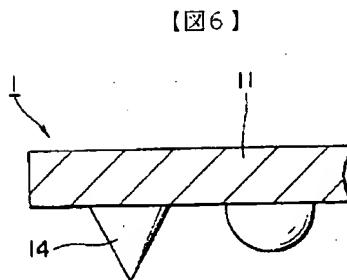
22 穴



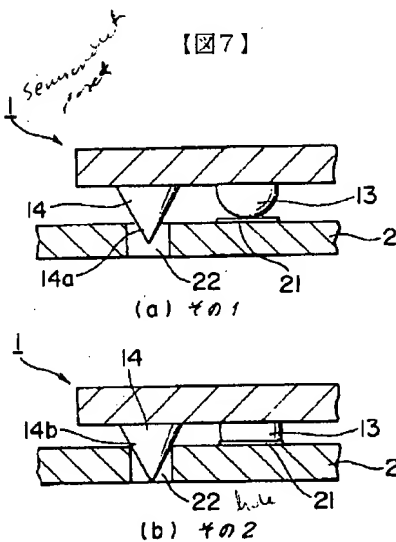
本発明を説明する概略斜視図



ピンを説明する裏面斜視図

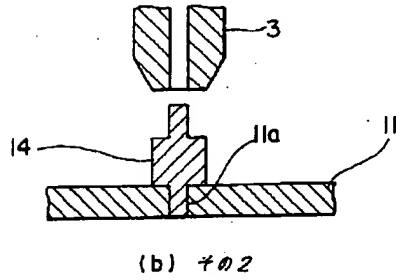
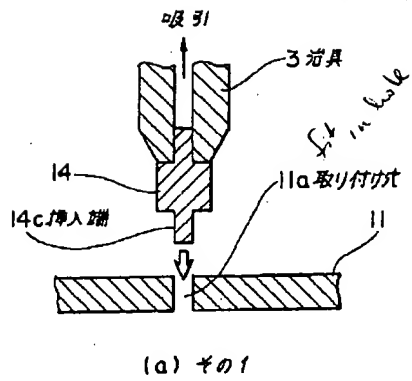


他のピン形状を説明する断面図



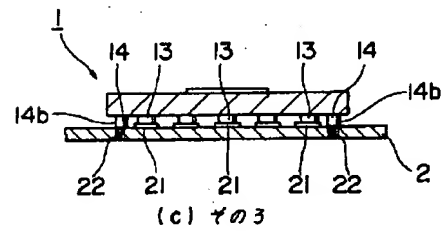
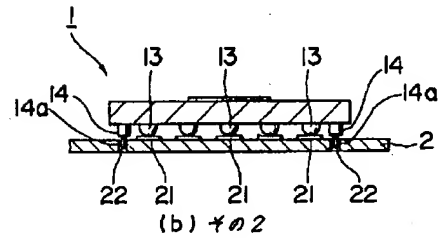
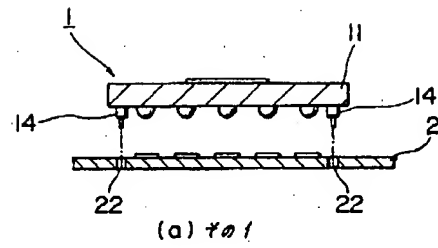
他のピンによる実装方法を説明する断面図

【図3】



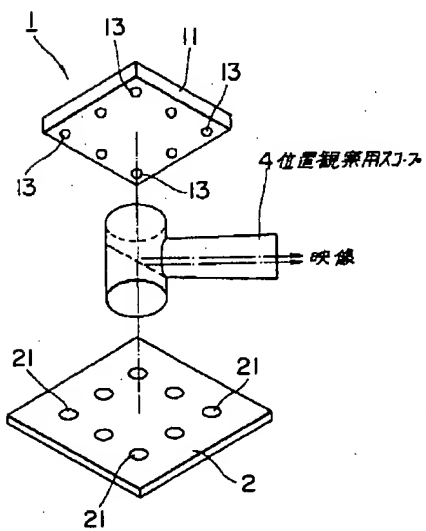
ピン取り付け方法を説明する断面図

【図4】



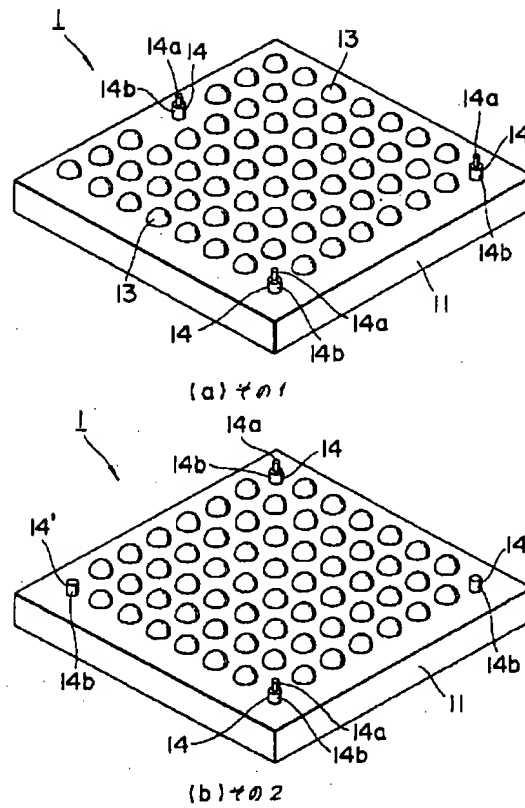
実装方法を説明する断面図

【図8】



従来例を説明する概略斜視図

【図5】



他の例を説明する概略斜視図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-302860

(43)Date of publication of application : 14.11.1995

(51)Int.Cl.

H01L 23/12

H05K 1/18

(21)Application number : 06-114361

(71)Applicant : SONY CORP

(22)Date of filing : 28.04.1994

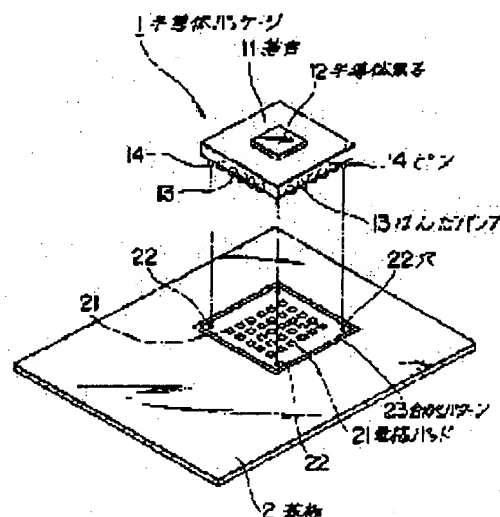
(72)Inventor : MURA MITSURU

## (54) MOUNTING STRUCTURE AND MOUNTING METHOD FOR SEMICONDUCTOR PACKAGE

(57)Abstract:

**PURPOSE:** To joint a solder bump and an electrode pad easily and besides securely.

CONSTITUTION: At least two pieces among at least three pieces of pins 14 attached to the base 11 of a semiconductor package 1 are provided with position regulators for aligning electrode pads 21 and solder bumps 13, and at least three pieces are provided with height regulators for regulating the interval between the semiconductor package 1 and a board 2, and the board 2 is provided with a hole for inserting the position regulator. To perform mounting, the interval between the semiconductor package 1 and the board 2 is kept at a specified quantity with the regulator by fusing the solder bump 13 after inserting the position regulator into the hole 22, and aligning the solder bump 13 and the electrode pad 21.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] In the semiconductor package in which the solder bump who the semiconductor device was carried in the on side of a pedestal, and got the electric flow with this semiconductor device to the other side was prepared It is the mounting structure of the semiconductor package which carries out alignment of the electrode pad and this solder bump on a predetermined substrate, and is connected using at least three pins attached in the other side of this pedestal. The position specification part for performing alignment of the aforementioned electrode pad and the aforementioned solder bump in the state where the aforementioned semiconductor package has been arranged on the aforementioned substrate to at least two of the aforementioned pins is prepared. The height specification part for regulating the interval of the aforementioned semiconductor package and the aforementioned substrate, in case the aforementioned solder bump whom the alignment with the aforementioned electrode pad accomplished is fused is prepared in at least three of the aforementioned pins. Mounting structure of the semiconductor package characterized by preparing the hole for alignment for inserting the aforementioned position specification part in the aforementioned substrate.

[Claim 2] Mounting structure of the semiconductor package according to claim 1 characterized by being equal to the path in a position as the path of the aforementioned hole for alignment is the pin of the shape of this taper, while being formed in the shape of [ to which the aforementioned pin becomes thin towards the protrusion direction ] a taper.

[Claim 3] The aforementioned pin is the mounting structure of the semiconductor package according to claim 1 or 2 characterized by being used in order to consist of an electrical conducting material and to obtain the electric flow between the aforementioned semiconductor device and the aforementioned substrate.

[Claim 4] It is the mounting method in the mounting structure of the semiconductor package of any one publication among a claim 1 to the claims 3. First, insert in the hole for alignment of the aforementioned substrate the aforementioned position specification part prepared in at least two of the aforementioned pins in the state where the aforementioned semiconductor package has been arranged on the aforementioned substrate, and alignment of the aforementioned electrode pad and the aforementioned solder bump is performed. Subsequently, while joining the aforementioned electrode pad and this solder bump by fusing the aforementioned solder bump The mounting method of the semiconductor package characterized by carrying out for supporting the aforementioned height specification part prepared in at least three of the aforementioned pins when the interval of the aforementioned semiconductor package and the aforementioned substrate was shortened by this solder bump's melting, and maintaining this interval at the specified quantity.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the mounting structure and the mounting method of mounting the semiconductor package equipped with the solder bump on the substrate in which the electrode pad was prepared.

[0002]

[Description of the Prior Art] In recent years, in the surface mounting of a semiconductor device, the semiconductor package which consists of the so-called ball grid array which performs electric and mechanical junction to substrates, such as a printed wired board, is briskly used by the solder bump of the shape of a ball arranged at the one side side of a pedestal.

[0003] It is joining, after observing simultaneously the mutual physical relationship of a semiconductor package 1 and a substrate 2 using the scope 4 for position observation and performing position amendment, as shown in the outline perspective diagram of drawing 8, in order to mount such a semiconductor package on a substrate. That is, alignment of a semiconductor package 1 and a substrate 2 is performed so that it may incorporate by the CCD camera which does not illustrate the image by the side of the solder bump 13 of a semiconductor package 1, and the image by the side of the electrode pad 21 of a substrate 2 using the scope 4 for position observation and the relative position of the solder bump 13 and the electrode pad 21 which carry out phase correspondence may suit. And as a semiconductor package 1 and a substrate 2 are doubled in this state, the solder bump 13 and the electrode pad 21 are contacted, and junction to the electrode pad 21 is performed by fusing the solder bump 13.

[0004]

[Problem(s) to be Solved by the Invention] In mounting of such a semiconductor package, when realizing alignment precision with high the optical system for carrying out simultaneous observation of the image by the side of the electrode pad of a substrate the solder bump side of a semiconductor package fully being adjusted, and moreover each optical axis being on the same axle, it becomes an important element. And it is required that the semiconductor package and the substrate should be arranged in parallel so that an incorporation image may not fade. In order to fulfill these conditions, it is necessary to prepare the mechanism in which the highly precise alignment of X, Y, and the direction of theta is possible, and has become the cause which causes the complication and cost quantity of a mechanism which are used for mounting of a semiconductor package.

[0005] Moreover, when conveying the semiconductor package to a reflow furnace etc. or transporting on the band conveyor in a reflow furnace etc. after performing alignment of a solder bump and an electrode pad, un-arranging [ that a semiconductor package and a substrate will cause a position gap by the vibration from a band conveyor etc. ] arises. Furthermore, when fusing a solder bump and joining to an electrode pad, the solder bump who fused with the self-weight of a semiconductor package is crushed, the so-called bridge phenomenon in which \*\*\*\*\* solder bumps contact is caused, and an electric faulty connection is caused. When the thermolysis mechanism is especially attached in the semiconductor package, a self-weight becomes remarkable [ crushing of increase and a solder bump ]. Such so-called bridge phenomenon poses a big problem, when attaining a solder bump's pitch reduction-ization.

[0006]

[Means for Solving the Problem] this invention is the mounting structure and the mounting method of a semiconductor package which were accomplished in order to solve such a technical problem. Namely, the mounting structure of the semiconductor package of this invention In the semiconductor package in which the solder bump who the semiconductor device was carried in the one side of a pedestal, and got the electric flow with a semiconductor device to the other side was prepared It is what carries out alignment of the electrode pad and solder bump on a predetermined substrate, and is connected using at least three pins attached in the other side of a pedestal. The position specification

part for performing alignment of an electrode pad and a solder bump in the state where the semiconductor package has been arranged on a substrate, to at least two of pins is prepared. When fusing the solder bump with the alignment with an electrode pad accomplished to at least three of pins, the height specification part for regulating the interval of a semiconductor package and a substrate was prepared in them, and the hole for alignment for inserting a position specification part in a substrate is prepared further.

[0007] Moreover, while forming in the shape of [ which turns a pin in the protrusion direction and becomes thin ] a taper, it is also the mounting structure of the semiconductor package which made the path of the hole for alignment of a substrate equal to the path in a position in the middle of the taper-like pin. Furthermore, it is also the mounting structure of the semiconductor package used in order to constitute a pin from an electrical conducting material and to obtain the electric flow between a semiconductor device and a substrate.

[0008] Moreover, the mounting method of the semiconductor package of this invention It is the mounting method in the mounting structure of the above-mentioned semiconductor package. first The position specification part prepared in at least two of pins in the state where the semiconductor package has been arranged on a substrate is inserted in the hole for alignment of a substrate, and alignment of an electrode pad and a solder bump is performed. subsequently While joining the electrode pad and the solder bump by fusing a solder bump, when the interval of a semiconductor package and a substrate is shortened by the solder bump's melting, it is the method of carrying out for supporting the height specification part prepared in at least three of pins, and maintaining an interval at the specified quantity.

[0009]

[Function] Using that by which at least three pins were attached in the side in which the solder bump of the pedestal of a semiconductor package was prepared, by this pin, this invention carries out alignment of the electrode pad and solder bump on a substrate, and connects. That is, by inserting in the hole for alignment in which the position specification part was prepared in at least two of pins, and this position specification part was prepared by the substrate, positioning of the direction of a field of a semiconductor package and a substrate accomplishes, and alignment of an electrode pad and a solder bump comes be made.

[0010] Furthermore, in case a height specification part is prepared in at least three of pins and the interval of a semiconductor package and a substrate becomes narrow by a solder bump's melting, \*\*\*\*\* will be maintained at the specified quantity for this height specification part. Moreover, it forms in the shape of [ which turns a pin in the protrusion direction and becomes thin ] a taper, and the path of a position and the path of the hole for alignment are made equal in the middle of the pin of the shape of the taper.

[0011] That is, positioning accomplishes in the direction of a field of a semiconductor package and a substrate because a nose-of-cam side serves as a position specification part inserted in the hole for alignment and inserts this in the hole for alignment from a position in the middle of a pin. Furthermore, the interval of a semiconductor package and a substrate will be shortened by a solder bump fusing, and a pin will enter the hole for alignment to a position the middle. For this reason, a position serves as a height specification part in the middle of a pin, and the interval of a semiconductor package and a substrate comes to be maintained in this position. Moreover, an electric flow with a semiconductor device and a substrate can be obtained now through a pin with a pin consisting of electrical conducting materials.

[0012] By the mounting method of the semiconductor package of this invention, in the above mounting structures, the position specification part prepared in at least two of pins is first inserted in the hole for alignment of a substrate, and alignment of an electrode pad and a solder bump is performed. Position regulation of the semiconductor package is carried out to the direction of a field of a substrate by inserting a position specification part in the hole for alignment. Next, while fusing a solder bump and joining an electrode pad and a solder bump, it supports by the height specification part in which the crevice between the semiconductor packages and substrates by which it was shortened by this melting was established by at least three of pins. Thereby, the crevice between a semiconductor package and a substrate is maintained at a throughput, and a solder bump ceases to be crushed more than required.

[0013]

[Example] Below, the mounting structure of the semiconductor package of this invention and the example of the mounting method are explained based on drawing. Drawing 1 is an outline perspective diagram explaining the mounting structure of the semiconductor package of this invention. A semiconductor device 12 is carried in the one side of a pedestal 11, and the semiconductor package 1 used by this invention consists of the so-called ball grid array in which the solder bump 13 who got the electric flow with a semiconductor device 12 to the other side was formed.

[0014] The electrode pad 21 which corresponded with the solder bump 13 is formed in the substrate 2 in which this semiconductor package 1 is mounted, and where a semiconductor package 1 is mounted in an exact position, electric



and mechanical junction with the electrode pad 21 and the solder bump 13 is obtained. In mounting this semiconductor package 1, at least three pins 14 are attached in the solder bump 13 side of a pedestal 11, and alignment of the solder bump 13 and the electrode pad 21 has come be made by inserting in the hole 22 in which this pin 14 was formed by the substrate 2.

[0015] Drawing 2 is a rear-face perspective diagram explaining the pin 14 prepared in the semiconductor package 1. That is, the pin 14 is installed in the four corners of a pedestal 11, and serves as a configuration from which a size differs by the nose-of-cam and root side. The nose-of-cam side of a pin 14 is position specification-part 14a, and position regulation of the direction of a field of a semiconductor package 1 and a substrate 2 (X, Y, the direction of theta) accomplishes by inserting this in the hole 22 of the substrate 2 shown in drawing 1. For this reason, the path of position specification-part 14a is more slightly [ than the path of a hole 22 ] small, for example, when the path of a hole 22 is 0.6mm, the path of position specification-part 14a is formed in about 0.5mm.

[0016] Moreover, the root side of a pin 14 is height specification-part 14b, and it comes to maintain the crevice between a semiconductor package 1 and a substrate 2 at a constant rate because an end-face portion (portion which is even) contacts a substrate 2.

[0017] Drawing 3 is a cross section explaining the mounting arrangement of this pin 14. In order to attach a pin 14, as first shown in drawing 3 (a), suction maintenance of the pin 14 is carried out using a fixture 3, and it arranges on installation hole 11a of a pedestal 11. And a fixture 3 is descended, insertion edge 14c of a pin 14 is attached, and it presses fit in hole 11a, and as shown in drawing 3 (b) after that, suction of a fixture 3 is canceled and a fixture 3 is removed from a pin 14. Installation whose pin 14 does not escape from a pedestal 11 easily by such work is performed

[0018] It comes to be able to perform mounting which maintains at a constant rate the interval of the semiconductor package 1 and substrate 2 by which it is shortened when the solder bump 13 fuses by height specification-part 14b, while position regulation of the direction of a field of a semiconductor package 1 and a substrate 2 accomplished by position specification-part 14a prepared in this pin 14.

[0019] Next, based on the cross section of drawing 4, the mounting method of the semiconductor package 1 of this invention is explained in order. First, as shown in drawing 4 (a), a semiconductor package 1 is arranged on a substrate 2, and it is made for the position of a pin 14 and the position of a hole 22 to suit. Under the present circumstances, the doubling pattern 23 as shown in drawing 1 is formed in the substrate 2, for example, if they are arranged as the appearance and this doubling pattern 23 of a semiconductor package 1 are set, alignment of a pin 14 and a hole 22 can be performed easily.

[0020] Next, as shown in drawing 4 (b), position specification-part 14a of the pin 14 of a semiconductor package 1 is inserted into the hole 22 of a substrate 2, and position regulation of a semiconductor package 1 is performed. For example, when the path of a hole 22 is [ the path of position specification-part 14a of a pin 14 ] 0.5mm in 0.6mm, path clearance is set to 0.1mm, and position specification-part 14a can be easily inserted in a hole 22. Moreover, in this state, the position of the solder bump 13 of a semiconductor package 1 and the electrode pad 21 of a substrate 2 suits, and it is in the state where the semiconductor package 1 moreover supported by each solder bump 13.

[0021] It is positioned correctly, without the solder bump 13 contacting the next electrode pad 21, even if the amount of position gaps of one side of the direction of a field of a semiconductor package 1 becomes half [ half / of path clearance ], i.e., 0.05mm, in the example of the path of the hole 22 shown previously, and the path of position specification-part 14a, for example, the solder bump's 13 path has 0.15mm and the maximum position gap of a semiconductor package 1 has a pitch by 0.3mm. Moreover, since position specification-part 14a of a pin 14 is inserted into the hole 22 even if the semiconductor package 1 supports by the solder bump 13, even if it conveys in this state, the relative position of a semiconductor package 1 and a substrate 2 does not shift by the vibration.

[0022] Next, as shown in drawing 4 (c), the solder bump 13 is fused by heating at a reflow furnace etc. While junction to the solder bump 13 and the electrode pad 21 accomplishes by this melting, the interval of a semiconductor package and a substrate 2 will be shortened by the solder bump's 13 crushing. However, height specification-part 14b of a pin 14 contacts a substrate 2 by specified quantity \*\*\*\*\*, and this interval will be in the state of supporting a semiconductor package 1 to a substrate 2 and abbreviation parallel.

[0023] For example, when the path of a hole 22 is set to 0.6mm, the path of height specification-part 14b is set to about 1.0 largermm than 0.6mm. By this, even if it cannot enter in a hole 22 but the solder bump 13 is crushed by melting, height specification-part 14b can stop \*\*\*\* by the side of the substrate 2 of a semiconductor package 1 in the position where height specification-part 14b contacts a substrate 2, and can keep constant the interval of a semiconductor package 1 and a substrate 2. Moreover, it is lost that the solder bump 13 is crushed by this interval being kept constant.

While performing the position regulation and height regulation which were previously explained by constituting a pin 14 from an electrical conducting material, it can be used in order to obtain an electric flow with a semiconductor device 12 (refer to drawing 1) and a substrate 2.

[0034] In this case, the electric flow with a semiconductor device 12 (refer to drawing 1) and a pin 14 is obtained, and electric conduction films (gold etc.) are put on the inside of the hole 22 of a substrate 2 (plating processing etc.). By this, when a semiconductor package 1 is mounted in a substrate 2, an electric flow with a semiconductor device 12 (refer to drawing 1) and a substrate 22 can be obtained through a pin 14 and the electric conduction film of hole 22 inside by a pin 14 being inserted in a hole 22. With constituting a pin 14 from an electrical conducting material in this \*\*, a pin 14 can be used as a signal terminal besides solder bump 13, and when the degree of integration of a semiconductor device 12 (refer to drawing 1) needs many numbers of a signal terminal highly especially, it becomes effective.

[0035] In addition, the path of position specification-part 14a of the pin 14 shown in this example, the path of height specification-part 14b, and the path of the hole 22 of a substrate 2 are examples, and this invention is not limited to this.

[0036]

[Effect of the Invention] As explained above, according to the mounting structure and the mounting method of a semiconductor package of this invention, there are the following effects. That is, in this invention, in order to perform position regulation on the direction of a field of the substrate of a semiconductor package by inserting in the hole of a substrate the position specification part of the pin attached in the pedestal of a semiconductor package, a complicated alignment mechanism is not needed in mounting of a semiconductor package, but it becomes possible to perform exact alignment easily moreover.

[0037] Moreover, even if there is vibration in case it conveys since the position specification part of a pin is positioned in the state where it was inserted in the hole of a substrate, there is no position gap with a semiconductor package and a substrate, and it becomes possible to join a solder bump and an electrode pad certainly also in a subsequent reflow process etc.

[0038] Furthermore, when a solder bump fuses, in order that the height specification part of a pin may maintain the interval of a semiconductor package and a substrate at the specified quantity in contact with a substrate, the so-called bridge phenomenon in which a solder bump is not crushed more than required and \*\*\*\*\* solder bumps are connected is lost, and it becomes possible to obtain reliable junction. Since it is such, even if it is the case that a solder bump's pitch is small, it becomes possible to perform positive junction to a semiconductor package and a substrate.

---

[Translation done.]